

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168270

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 11-351822

(71)Applicant : ROHM CO LTD

(22)Date of filing : 10.12.1999

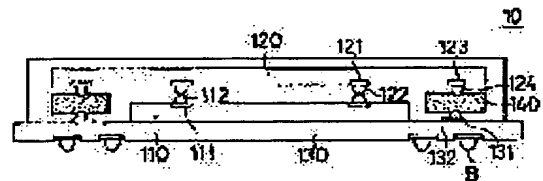
(72)Inventor : MURAMOTO ATSUSHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To dispense with a lead wire required for a connection between a second semiconductor integrated circuit device as the master chip and a board on which the second semiconductor integrated circuit device is mounted in a semiconductor device of integral structure formed through a chip-on-chip system to turn the semiconductor device of integral structure formed through a chip-on-chip system to a chip-sized package CSP and to compactly mount the chip-sized package.

SOLUTION: A first semiconductor integrated circuit device of small size or a slave chip is mounted at the center of a board, the slave chip and a second semiconductor integrated circuit device of large size or a master chip are arranged so as to be laminated, an electrical connection between the slave chip and master chip and another electrical connection between the master chip and the board are made direct with bumps or through the intermediary of an anisotropic conductive film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-168270
(P2001-168270A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) IntCl. ⁷	識別記号	F I	ターミナル (参考)
H 0 1 L 25/065		H 0 1 L 25/08	B
25/07			
25/18			

審査請求 未請求 請求項の数 6 O L (全 9 頁)

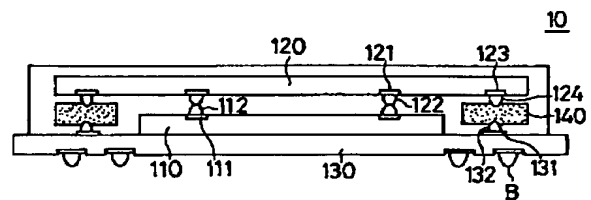
(21) 出願番号	特願平11-351822	(71) 出願人	000116024 ローム株式会社 京都府京都市右京区西院清崎町21番地
(22) 出願日	平成11年12月10日 (1999. 12. 10)	(72) 発明者	村本 淳 京都市右京区西院清崎町21番地 ローム株式会社内
		(74) 代理人	100083231 弁理士 紋田 誠 (外 1 名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 チップオンチップ方式による一体化構成の半導体装置において、親チップである第2の半導体集積回路装置とこれを搭載する基板との間のリードワイヤーを不要とし、チップオンチップ方式による一体化構成の半導体装置をチップ・サイズド・パッケージ C S P 可能とし、より小さく実装すること。

【解決手段】 基板上の中央部に寸法の小さい第1の半導体集積回路装置すなわち子チップを載置し、この子チップと寸法の大きい第2の半導体集積回路装置すなわち親チップを積層するよう配置し、子チップと親チップ間及び親チップと基板との電気的接続を、バンプにより直接に、或いは異方性導電膜を介在して行う。



【特許請求の範囲】

【請求項 1】 一面側に接続用電極が設けられた基板と、
この基板の接続用電極が設けられた面であって該接続用電極の存在しない部分に配置され、この基板と接する面の他面側に接続用電極が形成された第 1 の半導体集積回路装置と、
一面側に、前記基板の接続用電極及び前記第 1 の半導体集積回路装置の接続用電極に対向するように接続用電極が設けられた第 2 の半導体集積回路装置と、
を備え、一体化構成されたことを特徴とする半導体装置。

【請求項 2】 一面側に接続用電極が設けられ、他面側に外部接続用電極が設けられた基板と、
この基板の接続用電極が設けられた面であって該接続用電極の存在しない部分に配置され、この基板と接する面の他面側に接続用電極が形成された第 1 の半導体集積回路装置と、
一面側に、前記基板の接続用電極及び前記第 1 の半導体集積回路装置の接続用電極に対向するように接続用電極が設けられた第 2 の半導体集積回路装置と、
前記基板の接続用電極と、この基板の接続用電極と対向する前記第 2 の半導体集積回路装置の接続用電極との間に介在するように設けられた異方性導電膜と、
を備え、一体化構成されたことを特徴とする半導体装置。

【請求項 3】 一面側に接続用電極が設けられ、他面側に外部接続用電極が設けられた基板と、
この基板の接続用電極が設けられた面であって該接続用電極の存在しない部分に配置され、この基板と接する面の他面側に接続用電極が形成された第 1 の半導体集積回路装置と、
一面側に、前記基板の接続用電極及び前記第 1 の半導体集積回路装置の接続用電極に対向するように接続用電極が設けられた第 2 の半導体集積回路装置と、
前記基板の接続用電極及び第 1 の半導体集積回路装置の接続用電極と、この基板の接続用電極及び前記第 1 の半導体集積回路装置の接続用電極と対向する前記第 2 の半導体集積回路装置の接続用電極との間に介在するようにそれぞれ設けられた異方性導電膜と、
を備え、一体化構成されたことを特徴とする半導体装置。

【請求項 4】 一面側に接続用電極が設けられ、他面側に外部接続用電極が設けられた基板の前記一面側の前記接続用電極の存在しない部分に、前記基板と接する面の他面側に接続用電極が形成された第 1 の半導体集積回路装置を配置するとともに、前記基板の接続用電極上に異方性導電膜を配置する第 1 工程と、
一面側に、前記基板の接続用電極及び前記第 1 の半導体集積回路装置の接続用電極に対向するように接続用電極

が設けられた第 2 の半導体集積回路装置を、前記異方性導電膜及び前記第 1 の半導体集積回路装置を配置した基板と対向させる第 2 工程と、

前記第 1 の半導体集積回路装置の接続用電極とこれと対向する前記第 2 の半導体集積回路装置の接続用電極とを電気的に接続するとともに、前記基板の接続用電極とこれと対向する前記第 2 の半導体集積回路装置の接続用電極とを前記異方性導電膜を介して電気的に接続する第 3 工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 5】 一面側に接続用電極が設けられ、他面側に外部接続用電極が設けられた基板の前記一面側の前記接続用電極の存在しない部分に、前記基板と接する面の他面側に接続用電極が形成された第 1 の半導体集積回路装置を配置するとともに、前記基板の接続用電極上に第 1 の異方性導電膜を配置し、前記第 1 の半導体集積回路装置の接続用電極上に第 2 の異方性導電膜を配置する第 1 工程と、

一面側に、前記基板の接続用電極及び前記第 1 の半導体集積回路装置の接続用電極に対向するように接続用電極が設けられた第 2 の半導体集積回路装置を、前記第 1 の異方性導電膜、前記第 2 の異方性導電膜及び前記第 1 の半導体集積回路装置を配置した基板と対向させる第 2 工程と、

前記第 1 の半導体集積回路装置の接続用電極とこれと対向する前記第 2 の半導体集積回路装置の接続用電極とを前記第 2 の異方性導電膜を介して電気的に接続するとともに、前記基板の接続用電極とこれと対向する前記第 2 の半導体集積回路装置の接続用電極とを前記第 2 の異方性導電膜を介して電気的に接続する第 3 工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 6】 一面側に接続用電極が設けられ、他面側に外部接続用電極が設けられた基板の接続用電極上に異方性導電膜を配置する第 1 工程と、

一面側に接続用電極が形成された第 1 の半導体集積回路装置の接続用電極と、一面側に、前記基板の接続用電極及び前記第 1 の半導体集積回路装置の接続用電極に対向するように接続用電極が設けられた第 2 の半導体集積回路装置の前記第 1 の半導体集積回路装置の接続用電極に対向するように設けられた接続用電極とを、接合する第 2 工程と、

前記他面側に外部接続用電極が設けられた前記基板と、前記第 1 の半導体集積回路装置が接合された前記第 2 の半導体集積回路装置とを前記異方性導電膜を挟んで対向させる第 3 工程と、

前記基板の接続用電極とこれと対向する前記第 2 の半導体集積回路装置の接続用電極とを前記異方性導電膜を介して電気的に接続する第 4 工程と、

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、第1の半導体集積回路装置すなわち子チップと第2の半導体集積回路装置すなわち親チップを組み合わせて一体化構成とした半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来、半導体集積回路の高集積度化に伴って、特性の異なる2種類の半導体集積回路装置、例えばバイポーラチップとCMOSチップ、アナログ系チップとデジタル系チップ、カスタムチップとスタンダードチップなど、を小さい空間に実装する手段として第1の半導体集積回路装置を第2の半導体集積回路装置の上に搭載するチップオンチップ方式の半導体装置が実用されている。

【0003】図5は、従来のチップオンチップ方式で実装された半導体装置の構造を示す図である。同図において、第1の半導体集積回路装置510には配線パッド511が形成され、この配線パッド511に突起電極、すなわちバンプ512が形成されている。第2の半導体集積回路装置520には、第1の半導体集積回路装置510の配線パッド511に対向するように、配線パッド521が形成され、この配線パッド521に突起電極、すなわちバンプ522が形成されている。

【0004】第1の半導体集積回路装置510と第2の半導体集積回路装置520との間は、対向するバンプ512とバンプ522で電気的に所要の接続が行われている。

【0005】このように第1の半導体集積回路装置510と接続された第2の半導体集積回路装置520が、基板530に載置される。そして、第2の半導体集積回路装置520の周辺部に形成されている電極523と基板530の周辺部に形成されている電極531とがワイヤーボンディングされたリードワイヤーWで接続され、また、基板530の裏面側から、外部接続用半田バンプBが導出される。

【0006】そして、樹脂によりモールドして、最終的にパッケージし、第1の半導体集積回路装置を第2の半導体集積回路装置の上に搭載し、一体化構成したチップオンチップ方式の半導体装置50が形成されている。

【0007】このように、第2の半導体集積回路装置である親チップ520の上に第1の半導体集積回路装置である子チップ510が搭載され一体化されており、比較的小さい空間に実装することができる。

【0008】

【発明が解決しようとする課題】しかし、この従来のチップオンチップ方式による一体化構成の半導体装置50では、寸法の小さい子チップ510が搭載された親チップ520が、基板530に載置される。そして、親チップ520から基板530への接続は、親チップ520の周辺部に形成されている電極523から基板530の周

辺部に形成されている電極531へ、ワイヤーボンディングされたリードワイヤーWで行われている。

【0009】このために、リードワイヤーWの分だけ基板530寸法が親チップ520の寸法より大きくなり、チップオンチップ方式による一体化構成の半導体装置50がその分だけ大きな寸法になってしまうという問題があった。

【0010】そこで、本発明は、チップオンチップ方式による一体化構成の半導体装置において、親チップである第2の半導体集積回路装置とこれを搭載する基板との間のリードワイヤーを不要とし、チップオンチップ方式による一体化構成の半導体装置をチップ・サイズド・パッケージCSP可能とし、より小さく実装することを目的とする。

【0011】

【課題を解決するための手段】請求項1の半導体装置は、一面側に接続用電極が設けられた基板と、この基板の接続用電極が設けられた面であって該接続用電極の存在しない部分に配置され、この基板と接する面の他面側に接続用電極が形成された第1の半導体集積回路装置と、一面側に、前記基板の接続用電極及び前記第1の半導体集積回路装置の接続用電極に対向するように接続用電極が設けられた第2の半導体集積回路装置と、を備え、一体化構成されたことを特徴とする。

【0012】請求項1記載の半導体装置に依れば、基板上の例えば中央部に寸法の小さい第1の半導体集積回路装置すなわち子チップを載置し、この子チップと寸法の大きい第2の半導体集積回路装置すなわち親チップを積層するよう配置し、子チップと親チップ間及び親チップと基板との電気的接続を接続用電極を用いて行う。

【0013】これにより、親チップである第2の半導体集積回路装置とこれを搭載する基板との間のリードワイヤーが不要となり、基板の寸法を小さくすることができるから、チップオンチップ方式による一体化構成の半導体装置をチップ・サイズド・パッケージCSP可能となり、より小さく実装することができる。

【0014】請求項2の半導体装置は、一面側に接続用電極が設けられ、他面側に外部接続用電極が設けられた基板と、この基板の接続用電極が設けられた面であって該接続用電極の存在しない部分に配置され、この基板と接する面の他面側に接続用電極が形成された第1の半導体集積回路装置と、一面側に、前記基板の接続用電極及び前記第1の半導体集積回路装置の接続用電極に対向するように接続用電極が設けられた第2の半導体集積回路装置と、前記基板の接続用電極と、この基板の接続用電極と対向する前記第2の半導体集積回路装置の接続用電極との間に介在するように設けられた異方性導電膜と、を備え、一体化構成されたことを特徴とする。

【0015】請求項2記載の半導体装置では、請求項1記載の半導体装置が奏する機能に加えて、子チップと親

チップとの電氣的接続は接続用電極にて直接行い、親チップと基板との接続は異方性導電膜を介して行う。

【0016】これにより、接続用電極の形成が容易となり、また接続すべき間隔の異なる接続用電極間の接続も簡単に行える。

【0017】請求項3の半導体装置は、一面側に接続用電極が設けられ、他面側に外部接続用電極が設けられた基板と、この基板の接続用電極が設けられた面であって該接続用電極の存在しない部分に配置され、この基板と接する面の他面側に接続用電極が形成された第1の半導体集積回路装置と、一面側に、前記基板の接続用電極及び前記第1の半導体集積回路装置の接続用電極に対向するように接続用電極が設けられた第2の半導体集積回路装置と、前記基板の接続用電極及び第1の半導体集積回路装置の接続用電極と、この基板の接続用電極及び前記第1の半導体集積回路装置の接続用電極と対向する前記第2の半導体集積回路装置の接続用電極との間に介在するようにそれぞれ設けられた異方性導電膜と、を備え、一体化構成されたことを特徴とする。

【0018】請求項3記載の半導体装置に依れば、請求項1記載の半導体装置が奏する機能に加えて、すべての接続用電極間の電氣的接続を異方性導電膜を介して行う。

【0019】これにより、さらに接続用電極の形成が容易となり、また接続すべき間隔の異なる接続用電極間の接続も簡単に行える。

【0020】請求項4の半導体装置の製造方法は、一面側に接続用電極が設けられ、他面側に外部接続用電極が設けられた基板の前記一面側の前記接続用電極の存在しない部分に、前記基板と接する面の他面側に接続用電極が形成された第1の半導体集積回路装置を配置するとともに、前記基板の接続用電極上に異方性導電膜を配置する第1工程と、一面側に、前記基板の接続用電極及び前記第1の半導体集積回路装置の接続用電極に対向するように接続用電極が設けられた第2の半導体集積回路装置を、前記異方性導電膜及び前記第1の半導体集積回路装置を配置した基板と対向させる第2工程と、前記第1の半導体集積回路装置の接続用電極とこれと対向する前記第2の半導体集積回路装置の接続用電極とを電氣的に接続するとともに、前記基板の接続用電極とこれと対向する前記第2の半導体集積回路装置の接続用電極とを前記異方性導電膜を介して電氣的に接続する第3工程とを、含むことを特徴とする。

【0021】請求項4の半導体装置の製造方法に依れば、基板上に第1の半導体集積回路装置すなわち子チップ及び接続用の異方性導電膜を配置し、これに第2の半導体集積回路装置すなわち親チップを対向させ、子チップと親チップとを接続用電極で接続し、親チップと基板とを異方性導電膜を介して接続する。

【0022】これにより、親チップである第2の半導体

集積回路装置とこれを搭載する基板との間の接続が、子チップと親チップとを接続用電極で接続するだけで、他の親チップと基板との接続は単に圧着するだけで行われるから、リードワイヤーを不要とした、チップ・サイズド・パッケージCSPの一体化構成半導体装置を簡易な工程で形成することができる。

【0023】請求項5の半導体装置の製造方法は、一面側に接続用電極が設けられ、他面側に外部接続用電極が設けられた基板の前記一面側の前記接続用電極の存在しない部分に、前記基板と接する面の他面側に接続用電極が形成された第1の半導体集積回路装置を配置するとともに、前記基板の接続用電極上に第1の異方性導電膜を配置し、前記第1の半導体集積回路装置の接続用電極上に第2の異方性導電膜を配置する第1工程と、一面側に、前記基板の接続用電極及び前記第1の半導体集積回路装置の接続用電極に対向するように接続用電極が設けられた第2の半導体集積回路装置を、前記第1の異方性導電膜、前記第2の異方性導電膜及び前記第1の半導体集積回路装置を配置した基板と対向させる第2工程と、前記第1の半導体集積回路装置の接続用電極とこれと対向する前記第2の半導体集積回路装置の接続用電極とを前記第2の異方性導電膜を介して電氣的に接続するとともに、前記基板の接続用電極とこれと対向する前記第2の半導体集積回路装置の接続用電極とを前記第2の異方性導電膜を介して電氣的に接続する第3工程とを、含むことを特徴とする。

【0024】請求項5の半導体装置の製造方法に依れば、基板上に第1の半導体集積回路装置すなわち子チップ及び接続用の第1、第2の異方性導電膜を配置し、これに第2の半導体集積回路装置すなわち親チップを対向させ、子チップと親チップ間及び親チップと基板間とを異方性導電膜を介して接続する。

【0025】これにより、親チップ、子チップ、基板の相互接続が、単に圧着するだけで行われるから、リードワイヤーを不要とした、チップ・サイズド・パッケージCSPの一体化構成半導体装置を簡易な工程で形成することができる。

【0026】請求項6の半導体装置の製造方法は、一面側に接続用電極が設けられ、他面側に外部接続用電極が設けられた基板の接続用電極上に異方性導電膜を配置する第1工程と、一面側に接続用電極が形成された第1の半導体集積回路装置の接続用電極と、一面側に、前記基板の接続用電極及び前記第1の半導体集積回路装置の接続用電極に対向するように接続用電極が設けられた第2の半導体集積回路装置の前記第1の半導体集積回路装置の接続用電極に対向するように設けられた接続用電極とを、接合する第2工程と、前記他面側に外部接続用電極が設けられた前記基板と、前記第1の半導体集積回路装置が接合された前記第2の半導体集積回路装置とを前記異方性導電膜を挟んで対向させる第3工程と、前記基板

の接続用電極とこれと対向する前記第2の半導体集積回路装置の接続用電極とを前記異方性導電膜を介して電気的に接続する第4工程とを、含むことを特徴とする。

【0027】請求項6の半導体装置の製造方法に依れば、まず第1の半導体集積回路装置すなわち子チップと第2の半導体集積装置すなわち親チップとを一体化し、子チップを挟み込むように親チップと基板とを異方性導電膜を介して電気的に接続する。

【0028】これにより、子チップと親チップとを接続用電極で接続した後に、親チップと基板との接続は単に圧着するだけで行われるから、リードワイヤーを不要とした、チップ・サイズド・パッケージCSPの一体化構成半導体装置を簡易な工程で形成することができる。

【0029】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して、順次説明する。図1は、本発明の第1の実施の形態に係る、チップオンチップ方式による一体化構成の半導体装置10の構造を示す図である。

【0030】図1において、第1の半導体集積回路装置110は、子チップと称されるものであり、その一面側に複数の配線パッド111が設けられ、そこに接続用電極としての突起電極すなわちバンパ112が設けられる。

【0031】第2の半導体集積回路装置120は、親チップと称されるものであり、その一面側に複数の配線パッド121が設けられ、そこに接続用電極としての突起電極すなわちバンパ122が設けられる。このバンパ122は、子チップ110のバンパ112と対向し、相互に接続される。また、同じく一面側に複数の配線パッド123が設けられ、そこに接続用電極としての突起電極すなわちバンパ124が設けられる。このバンパ124は、基板130と電気的に接続される。

【0032】基板130は、一面側の所定の場所（中央部分が好ましい）に子チップ110が設けられ、同じ面の空いている場所例えば周辺部に複数の配線パッド131が設けられ、そこに接続用電極としての突起電極すなわちバンパ132が設けられる。このバンパ132は、親チップ120のバンパ124と対向し、異方性導電膜140を介して相互に接続されている。また、基板530の他面側から、外部接続用半田バンパBが導出される。

【0033】この異方性導電膜140は、接着性の樹脂層とこの樹脂層中に散在された導電粒子から構成されているものであり、正方形、長方形などの矩形とされその中央部が子チップ110の外形に合わせて空白とされた形状とされている。そして、異方性導電膜140は親チップ120と基板130との間に挟まれ、バンパ124とバンパ132とが向き合うようにして、対向させた状態で加圧（或いは加圧および加熱）されている。したがって、親チップ120のバンパ124と基板130のバ

ンパ132に挟まれた部分では、異方性導電膜140が加圧（或いは加圧及び加熱）され、その部分の異方性導電膜140に導電性が生じ、バンパ124とバンパ132とが電気的に接続されている。

【0034】このように親チップ120と基板130との間の接続を異方性導電膜140を介して行うために、バンパ124、132の寸法及び異方性導電膜140の厚みなどは、子チップ110の厚みなどを考慮して決定される。なお、バンパ124、132の寸法を子チップ110の厚みを吸収できる程度の大きさ差に設定すること等の手段により、異方性導電膜140を使用することなく、電気的に接続することも可能である。

【0035】そして、樹脂によりモールドして、最終的にパッケージし、基板130の上に第1の半導体集積回路装置すなわち子チップ110を載置し、さらにその子チップ110の上に第2の半導体集積回路装置すなわち親チップ120を搭載した、チップオンチップ方式の一体化構成した半導体装置10が形成されている。

【0036】なお、図1では、基板130の寸法が親チップ120の寸法より若干大きく設定されるように示されているが、基板130の寸法を親チップ120の寸法に合わせて形成することなどは、任意になし得ることは言うまでもない。

【0037】このチップオンチップ方式の一体化構成した半導体装置10は、基板130上の例えば中央部に寸法の小さい第1の半導体集積回路装置すなわち子チップ110を載置し、この子チップ110と寸法の大きい第2の半導体集積回路装置すなわち親チップ120を積層するように配置し、子チップ110と親チップ120間及び親チップ120と基板130との電気的接続をバンパ112、122、124、132および異方性電極140を用いて行っている。

【0038】これにより、親チップ120とこれを搭載する基板130との間のリードワイヤーが不要となり、基板の寸法を小さくすることができるから、チップオンチップ方式による一体化構成の半導体装置をチップ・サイズド・パッケージCSP可能となり、より小さく実装することができる。

【0039】また、子チップ110と親チップ120との電気的接続はバンパにて直接行い、親チップ120と基板130との接続は異方性導電膜140を介して行うから、バンパの形成が容易となり、またバンパ間の接続も簡単に行うことができる。

【0040】図2は、本発明の第2の実施の形態に係る、チップオンチップ方式による一体化構成の半導体装置20の構造を示す図である。

【0041】図2において、図1の第1の実施の形態における半導体装置と異なる点は、子チップ110と親チップ120との接続を、バンパ同志直接に接続するのに代えて、親チップ120と基板130との間の接続と同

様に、異方性導電膜150を介して行うように構成している点である。その他の点は図1におけると同様であり、対応する箇所には同じ符号を付しており、再度の説明は省略する。

【0042】この図2の第2の実施の形態においては、子チップ110と親チップ120との接続及び親チップ120と基板130との間の接続をとともに異方性導電膜140、150を介して行う。けれども、それらの接続すべき間隔は異なっているから、子チップ110と親チップ120との接続に関わる異方性導電膜150、バン

【0043】これにより、第1の実施形態におけると同様の効果が得られるとともに、さらに各バンプの形成が容易となり、また接続すべき間隔の異なるバンプ間の接続も簡単に行える。

【0044】図3は、本発明の第3の実施の形態に係り、チップオンチップ方式による一体化構成の半導体装置10の製造方法を示す図である。

【0045】図3において、各構成部品は図1の第1の実施の形態におけると同様であり、対応する構成部品には同一の符号を付している。

【0046】まず、一面側に配線パッド131とその上にバンプ132を形成し、他面側に外部用半田バンプBを形成した基板を用意する(図3(a))。

【0047】次に、この基板130の一面側のバンプ132の存在しない略中央部に、基板130と接する面の他面側に配線パッド111とその上にバンプ112を形成した子チップ110を配置する。この時に、子チップ110を接着剤により、基板130の所定の場所に固定することが望ましい(図3(b))。

【0048】次に、基板130のバンプ132上に異方性導電膜140を配置する(図3(c))。なお、この図3(b)の工程と、図3(c)の工程とは、順序が逆でもよく、また同時に行うこともできる。

【0049】次に、一面側に、基板130のバンプ132及び子チップ110のバンプ112に対向するように、配線パッド121とその上にバンプ122および配線パッド123とその上にバンプ124を形成した親チップ120を用意する。そして、親チップ120をそのバンプ122およびバンプ124が、それぞれ子チップ110のバンプ112及び異方性導電膜140を挟んで基板130のバンプ132に対向するように配置する(図3(d))。

【0050】次に、親チップ120を対向させた状態で、子チップ110及び基板130に向かって接近させていき、親チップ120のバンプ122と子チップ11

0のバンプ112とを当接させて接合する。これにより親チップ120と子チップ110とが電氣的に接続する。

【0051】このとき、親チップ120のバンプ124と基板130のバンプ132との間隔が狭まり、その間に配置されている異方性導電膜140が加圧圧縮され、或いは必要に応じて同時に加熱されるから、バンプ124とバンプ132との間は自動的に電氣的に接続される。すなわち、親チップ120と基板130とが電氣的に接続される(図3(e))。

【0052】最後に、樹脂によりモールドして、最終的にパッケージし、チップオンチップ方式の一体化構成した半導体装置が形成される(図示は省略)。

【0053】これにより、親チップ120とこれを搭載する基板130との間の接続が、子チップ110と親チップ120とをバンプ112、122間で接続するだけで、他の親チップ120と基板130との接続は単に圧着するだけで行われるから、リードワイヤーを不要とした、チップ・サイズド・パッケージCSPの一体化構成半導体装置を簡易な工程で形成することができる。

【0054】以上の、図3に示した本発明の第3の実施の形態の一部を改変し、子チップ110と親チップ120との接続をも、異方性導電膜を介して行うようにして、図2に示したようなチップオンチップ方式による一体化構成の半導体装置20を製造することができる。

【0055】この製造方法を第4の実施の形態として説明する。このチップオンチップ方式による一体化構成の半導体装置20の製造方法は、第3の実施の形態において、図3(c)の工程に、さらに子チップ110のバンプ112上に第2の異方性導電膜150を配置する。

【0056】次に、図3(d)の工程で、さらに、親チップ120をそのバンプ122およびバンプ124が、それぞれ異方性導電膜150を挟んで子チップ110のバンプ112及び異方性導電膜140を挟んで基板130のバンプ132に対向するように配置する。

【0057】次に、図3(e)の工程で、親チップ120を対向させた状態で、子チップ110及び基板130に向かって接近させていく。そして、親チップ120のバンプ122と子チップ110のバンプ112とをその間に配置されている異方性導電膜150で、同様に親チップ120のバンプ124と基板130のバンプ132とをその間に配置されている異方性導電膜140で、加圧圧縮(及び加熱)により自動的に電氣的に接続される。すなわち、子チップ110と親チップ120、親チップ120と基板130とが電氣的に接続される。

【0058】このように、基板130上に第1の半導体集積回路装置すなわち子チップ110及び接続用の第1、第2の異方性導電膜を配置し、これに第2の半導体集積回路装置すなわち親チップを対向させ、子チップと親チップ間及び親チップと基板間とを異方性導電膜を介

して接続する。

【0059】これにより、親チップ、子チップ、基板の相互接続が、単に圧着するだけで行われるから、リードワイヤーを不要とした、チップ・サイズド・パッケージ CSP の一体化構成半導体装置をより簡易な工程で形成することができる。

【0060】図4は、本発明の第5の実施の形態に係り、チップオンチップ方式による一体化構成の半導体装置 10 の製造方法を示す図である。

【0061】図4において、各構成部品は図1の第1の実施の形態におけると同様であり、対応する構成部品には同一の符号を付している。

【0062】まず、一面側に配線パッド 131 とその上にバンパ 132 を形成し、他面側に外部用半田バンパ B を形成した基板 130 を用意する (図4 (a))。

【0063】次に、一面側に配線パッド 111 とその上にバンパ 112 が形成された子チップ 110 のバンパ 112 と、一面側に、基板 130 の配線パッド 111 とその上に形成されたバンパ 112 及び子チップ 110 のバンパ 112 に対向するように、配線パッド 121 とその上に形成されたバンパ 122 及び配線パッド 123 とその上に形成されたバンパ 124 が設けられた親チップ 120 のバンパ 122 とを、接合する (図4 (b))。

【0064】次に、一面側に配線パッド 131 とその上に形成されたバンパ 132 が設けられ、他面側に外部接続用半田バンパ B が設けられた基板 130 のバンパ 132 上に異方性導電膜 140 を配置する (図4 (c))。なお、図4 (b) の工程と図4 (c) の工程の順序は、逆でもかまわない。

【0065】次に、他面側に外部接続用半田バンパ B が設けられた基板 130 のバンパ 132 と、子チップ 110 が接合された親チップ 120 のバンパ 124 とを異方性導電膜 140 を挟んで対向させる (図4 (d))。

【0066】次に、この対向させた状態で、親チップ 120 を基板 130 に向かって接近させていき、親チップ 120 に接合されている子チップ 110 を基板 130 に当接させる。

【0067】このとき、親チップ 120 のバンパ 124 と基板 130 のバンパ 132 との間隔が狭まり、その間に配置されている異方性導電膜 140 が加圧圧縮され、或いは必要に応じて同時に加熱されるから、バンパ 124 とバンパ 132 との間は自動的に電氣的に接続される。すなわち、親チップ 120 と基板 130 とが電氣的に接続される (図4 (e))。

【0068】最後に、樹脂によりモールドして、最終的にパッケージし、チップオンチップ方式の一体化構成した半導体装置が形成される (図示は省略)。

【0069】このように、まず子チップ 110 と親チップ 120 とを一体化し、子チップを挟み込むように親チップ 120 と基板 130 とを異方性導電膜 140 を介し

て電氣的に接続する。

【0070】これにより、子チップ 110 と親チップ 120 とをバンパ 112、122 間で接続した後に、親チップ 120 と基板 130 との接続は単に圧着するだけで行われるから、リードワイヤーを不要とした、チップ・サイズド・パッケージ CSP の一体化構成半導体装置を簡易な工程で形成することができる。

【0071】

【発明の効果】本発明の請求項1記載の半導体装置に依れば、基板上の例えば中央部に寸法の小さい第1の半導体集積回路装置すなわち子チップを載置し、この子チップと寸法の大きい第2の半導体集積回路装置すなわち親チップを積層するよう配置し、子チップと親チップ間及び親チップと基板との電氣的接続を接続用電極を用いて行う。

【0072】これにより、親チップである第2の半導体集積回路装置とこれを搭載する基板との間のリードワイヤーが不要となり、基板の寸法を小さくすることができるから、チップオンチップ方式による一体化構成の半導体装置をチップ・サイズド・パッケージ CSP 可能となり、より小さく実装することができる。

【0073】本発明の請求項2記載の半導体装置では、請求項1記載の半導体装置が奏する機能に加えて、子チップと親チップとの電氣的接続は接続用電極にて直接行い、親チップと基板との接続は異方性導電膜を介して行う。

【0074】これにより、接続用電極の形成が容易となり、また接続すべき間隔の異なる接続用電極間の接続も簡単に行える。

【0075】本発明の請求項3記載の半導体装置に依れば、請求項1記載の半導体装置が奏する機能に加えて、すべての接続用電極間の電氣的接続を異方性導電膜を介して行う。

【0076】これにより、さらに接続用電極の形成が容易となり、また接続すべき間隔の異なる接続用電極間の接続も簡単に行える。

【0077】本発明の請求項4の半導体装置の製造方法に依れば、基板上に第1の半導体集積回路装置すなわち子チップ及び接続用の異方性導電膜を配置し、これに第2の半導体集積回路装置すなわち親チップを対向させ、子チップと親チップとを接続用電極で接続し、親チップと基板とを異方性導電膜を介して接続する。

【0078】これにより、親チップである第2の半導体集積回路装置とこれを搭載する基板との間の接続が、子チップと親チップとを接続用電極で接続するだけで、他の親チップと基板との接続は単に圧着するだけで行われるから、リードワイヤーを不要とした、チップ・サイズド・パッケージ CSP の一体化構成半導体装置を簡易な工程で形成することができる。

【0079】本発明の請求項5の半導体装置の製造方法

10

20

30

40

50

13

に依れば、基板上に第1の半導体集積回路装置すなわち子チップ及び接続用の第1、第2の異方性導電膜を配置し、これに第2の半導体集積回路装置すなわち親チップを対向させ、子チップと親チップ間及び親チップと基板間とを異方性導電膜を介して接続する。

【0080】これにより、親チップ、子チップ、基板の相互接続が、単に圧着するだけで行われるから、リードワイヤーを不要とした、チップ・サイズド・パッケージCSPの一体化構成半導体装置を簡易な工程で形成することができる。

【0081】本発明の請求項6の半導体装置の製造方法に依れば、まず第1の半導体集積回路装置すなわち子チップと第2の半導体集積装置すなわち親チップとを一体化し、子チップを挟み込むように親チップと基板とを異方性導電膜を介して電気的に接続する。

【0082】これにより、子チップと親チップとを接続用電極で接続した後に、親チップと基板との接続は単に圧着するだけで行われるから、リードワイヤーを不要と*

14

*した、チップ・サイズド・パッケージCSPの一体化構成半導体装置を簡易な工程で形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の構造を示す図。

【図2】本発明の第2の実施の形態に係る半導体装置の構造を示す図。

【図3】本発明の第3の実施の形態に係る半導体装置の製造方法を示す図。

10 【図4】本発明の第5の実施の形態に係る半導体装置の製造方法を示す図。

【図5】従来の一体化構成の半導体装置を示す図。

【符号の説明】

110 第1の半導体集積回路装置：子チップ

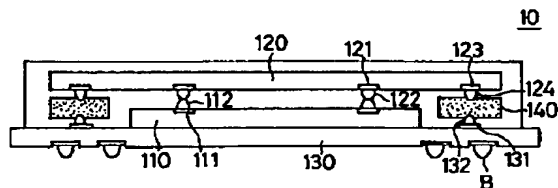
120 第2の半導体集積回路装置：親チップ

130 基板

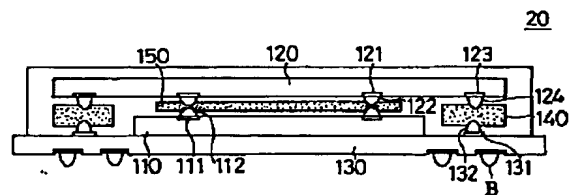
140、150 異方性導電膜

112、122、124、132 バンプ

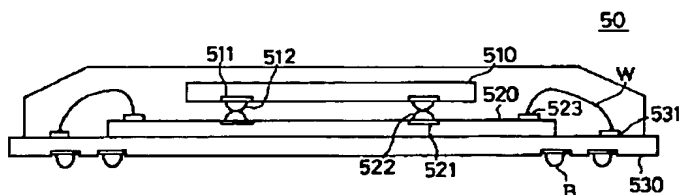
【図1】



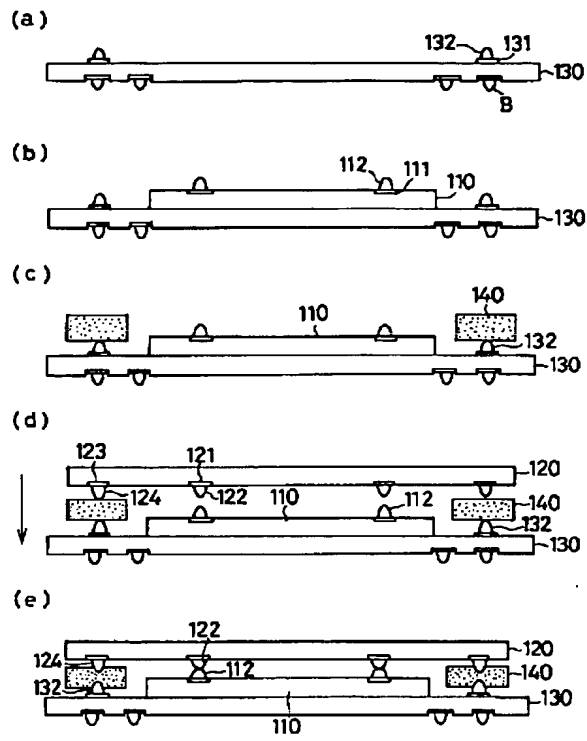
【図2】



【図5】



【図3】



【図4】

